

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-335898

(43)公開日 平成7年(1995)12月22日

(51)Int.Cl.⁶

H 0 1 L 29/786
21/76
27/12

識別記号

庁内整理番号

F

9056-4M

F I

H 0 1 L 29/ 78
21/ 76

3 1 1 R
R

技術表示箇所

審査請求 未請求 請求項の数5 F D (全 9 頁)

(21)出願番号

特願平6-145486

(22)出願日

平成6年(1994)6月3日

(71)出願人 000184713

コマツ電子金属株式会社
神奈川県平塚市四之宮2612番地

(71)出願人 000004226

日本電信電話株式会社
東京都新宿区西新宿三丁目19番2号

(71)出願人 591112452

エヌ・ティ・ティ・エレクトロニクス
テクノロジー株式会社
東京都武蔵野市吉祥寺本町1丁目14番5号

(74)代理人 弁理士 村上 友一 (外1名)

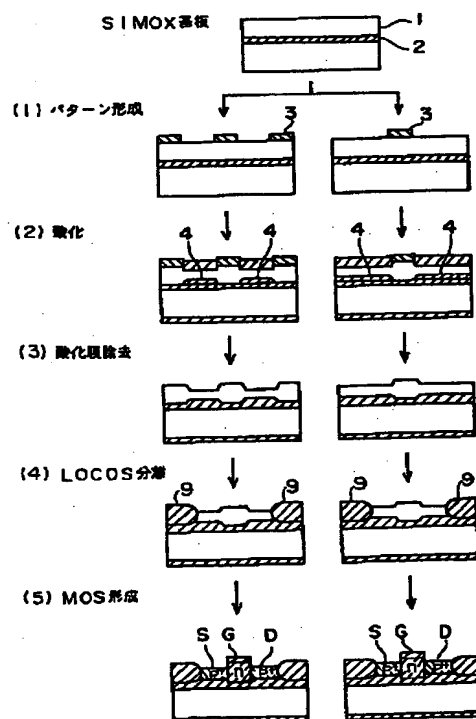
最終頁に続く

(54)【発明の名称】 半導体デバイス製造方法

(57)【要約】

【目的】 インパータの動作速度を低下させることなく、かつドレイン電流が低下しないような半導体デバイス、あるいは高耐圧デバイスと低耐圧デバイスを同一基板上に混載可能とする製造方法を提供する。

【構成】 SIMOX基板1に特定電極を酸化遮蔽するマスクパターン3を形成して高温酸化処理を施し、埋め込み酸化膜2を局部的に厚膜化してエリア4を形成する。次に、基板表面の酸化膜を除去し、LOCOS分離を行った上、前記埋め込み酸化膜2またはエリア4の上にソースSおよびドレインDを対応させてMOS・FETを形成する。埋め込み酸化膜厚が寄生容量が問題となる電極部分のみ厚くなっているため、インパータの動作速度はそれ程低下せず、平均的な埋め込み酸化膜厚を小さくできるため負荷抵抗によるドレイン電流低下の問題を改善できる。また、埋め込み酸化膜2の膜厚をデバイス毎に調整できるため、耐圧強度の異なる複数のデバイスを混載することもできる。



(2)

【特許請求の範囲】

【請求項1】 単結晶シリコン基板に酸素イオンを打ち込み注入した後、不活性ガス雰囲気中で高温熱処理するアニール処理を行うことにより埋め込み酸化膜を形成し、表面層に基板と絶縁分離された単結晶シリコン層（表面シリコン層）を形成したSIMOX基板上に半導体デバイスを形成する製造方法において、前記SIMOX基板の表面シリコン層に形成すべき1つまたは複数の半導体デバイスの特定領域に対応して予め酸化遮蔽マスクを形成し、この遮蔽マスクを介して当該基板を酸素雰囲気中において1150℃以上で高温酸化処理を行うことにより前記マスク遮蔽領域以外の領域に対応する埋め込み酸化膜を部分的に厚膜成長させた後、埋め込み酸化膜を厚膜化した部分上の表面シリコン層をソースまたはドレインとすることを特徴とする半導体デバイス製造方法。

【請求項2】 請求項1に記載の半導体デバイス製造方法において、前記半導体デバイスをnMOSとし、マスクによる遮蔽される特定領域をドレインとしたことを特徴とする半導体デバイス製造方法。

【請求項3】 請求項1に記載の半導体デバイス製造方法において、前記半導体デバイスをpMOSとし、マスクによる遮蔽される特定領域を除いた領域に対応する表面シリコン層をドレインおよびソースの両者としたことを特徴とする半導体デバイス製造方法。

【請求項4】 単結晶シリコン基板に酸素イオンを打ち込み注入した後、不活性ガス雰囲気中で高温熱処理するアニール処理を行うことにより埋め込み酸化膜を形成し、表面層に基板と絶縁分離された単結晶シリコン層を形成したSIMOX基板上に半導体デバイスを形成する製造方法において、前記SIMOX基板の表面シリコン層に形成すべき複数の半導体デバイスの低耐圧デバイス形成部に対応して予め酸化遮蔽マスクを形成し、この遮蔽マスクを介して当該基板を酸素雰囲気中において1150℃以上で高温酸化処理を行うことにより前記マスク遮蔽領域以外の領域に対応する埋め込み酸化膜を部分的に厚膜成長させた後、埋め込み酸化膜の厚膜領域の表面シリコン層上に高耐圧デバイスを形成するとともに、その他の薄膜領域に低耐圧デバイスを形成することによって耐電圧強度の異なるデバイスを同一基板に混載形成することを特徴とする半導体デバイス製造方法。

【請求項5】 請求項4に記載の製造方法において、耐圧の異なるデバイスに応じて埋め込み酸化膜の厚さを高温酸化により調整した後、前記低耐圧デバイスの各対応埋め込み酸化膜を当該デバイスの特定領域に対応して予め酸化遮蔽マスクを形成し、この遮蔽マスクを介して当該基板を酸素雰囲気中において1150℃以上で高温酸化処理を行うことにより前記マスク遮蔽領域以外の領域に対応する埋め込み酸化膜を部分的に厚膜成長させた

後、埋め込み酸化膜の膜厚の異なる部分上の表面シリコン層上に少なくともソースまたはドレインを形成することを特徴とする半導体デバイス製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体デバイス製造方法に係り、特にSIMOX基板上にMOSLSIを形成するのに好適な製造方法に関する。

【0002】

【従来の技術】 一般に、単結晶シリコン基板中に絶縁体（SiO₂）層を形成することによって素子が構成される表面単結晶シリコン層を絶縁分離した構造の半導体基板はSOI（Silicon On Insulator）と呼ばれており、これには一般的に貼り合わせ法によるものと、酸素イオン注入による方法によって形成するものが知られている。前者は単結晶シリコン基板上に酸化膜を形成しておき、この上に別の単結晶シリコン基板を貼り合わせて接合し、一方の単結晶シリコン基板を研磨して薄い活性シリコン層を形成する構造のものである。後者はSIMOX（Separation by Implanted Oxygen）と呼ばれており、これは単結晶シリコン基板中に高濃度の酸素イオン（16O⁺）を注入し、その後の高温アニール処理（1100～1200℃）でSiとOとを反応させてシリコン基板内部に埋め込み酸化膜を形成させるもので、最近高集積化のための薄膜活性シリコン層を形成するのに有利であるとして着目されている。

【0003】 SIMOX基板において、酸素イオン注入直後では、化学的に安定なSiO₂の他に、結合状態が不安定なSi-O化合物が混在しており、境界面が急峻な絶縁体層を形成するには上記のようにイオン注入後の高温による熱処理が必要とされている。いわゆるアニール処理である。この処理はイオン注入条件にもよるが、一般的には、不活性ガスとしてのArガスに0.5～1.0%O₂を加えた雰囲気中で、1100～1200℃で数時間の熱処理を行うようにしている。

【0004】 このようなSIMOX基板では、シリコン基板表面から酸素イオン注入によって表面下に形成される埋め込み酸化膜の組成、質がイオン注入量（ドーズ量）に依存していることが知られており、界面が急峻な埋め込み酸化膜を形成するために、一般的に10¹⁷～10¹⁸/cm²程度の酸素イオン注入量を必要としている。しかし、ドーズ量が増すと表面単結晶シリコン層に結晶欠陥が発生する問題があり、結晶転位密度とドーズ量の関係を見ると、ドーズ量が1.0×10¹⁸/cm²以上になると転位密度が増大し、素子構成部となる表面シリコン層の結晶品質は劣化する。また、結晶欠陥が発生しないようにドーズ量を、1.0×10¹⁸/cm²未満で0.5×10¹⁸/cm²以上の範囲内で上記よりも少なくすると、埋め込み酸化膜の破壊電界が小さくなってしまい、絶縁耐力が低くなってしまふ。このため、低

(3)

3

転位密度で高い破壊電界が得られる条件として、従来から加速エネルギー150～200KeVにおいて、例えばドーズ量は $0.4 \times 10^{18}/\text{cm}^2$ 前後に設定してイオン注入を行っていた(J. Mater. Res., Vol. 8, No. 3, 1993pp. 524-534参照)。

【0005】

【発明が解決しようとする課題】ところで、上述のようなSIMOX基板に対してMOSデバイスを形成する場合、埋め込み酸化膜により絶縁分離された表面シリコン層に不純物を注入するとともに、ソースおよびドレインを形成することによって作成される。図5はこのようにして作成されたCMOSデバイスの断面模式図である。図中Sはソース、Dはドレイン、Gはゲートであり、VDDは電源電圧を示す。単結晶シリコン基板に酸素イオンを注入し、アニール処理によって前記基板に埋め込み酸化膜を形成したSIMOX基板を用いて製造したMOS型LSIには、次のような問題点がある。

【0006】第1に、高品質のSIMOX基板は、表面のSi単結晶層の転位密度が低く、埋め込み酸化膜の電気絶縁性が優れている。しかし、結晶欠陥の発生を抑制するためドーズ量を低くしているため、埋め込み酸化膜の膜厚が80～90nmと薄くなり、nMOSにおけるドレインと基板シリコン、pMOSにおけるドレインおよびソースと基板シリコンとの寄生容量が大きくなり、インパクタの動作速度を低下させる欠点が生じていた。

【0007】第2に、SIMOX基板の製造に際して前記寄生容量を小さくするためにドーズ量を増して埋め込み酸化膜を厚くするように調整すると、埋め込み酸化膜の厚さ方向の熱抵抗が増大するため、デバイスの温度が上昇し、結果としてドレイン電流の負性抵抗特性が顕著となり、飽和ドレイン電流の低下が大きくなる欠点がある。また、埋め込み酸化膜厚を例えば450nmと厚くした場合、MOSFETの短チャネル効果が顕著となり(IEEE 1991 IEDM Tech. Dig., 1991 pp. 675-678参照)、微細MOSFETの製作も困難となる欠点がある。

【0008】第3に、結晶転位密度が低く埋め込み酸化膜の電気絶縁性が優れている高品位のSIMOX基板では、上記したように、埋め込み酸化膜厚が80～90nmと薄いため、IGBT(Insulated Gate Bipolar Transistor)等の高耐圧デバイスをこのようなSIMOX基板に搭載することができない欠点がある。このため従来では高耐圧デバイスは、貼り合わせ法等により製造されたSOI基板の埋め込み酸化膜の厚い基板に形成されており、高品位のSIMOX基板に高耐圧デバイスと低耐圧デバイスを混載形成することが困難となっていた。

【0009】本発明は上記従来の問題点に着目してなされたもので、第1に形成される半導体デバイスによるインパクタの動作速度を低下させることがないようにデバイスを形成できる半導体デバイスの製造方法を提供する

4

ことを目的としている。また、第2には負性抵抗によるドレイン電流の低下を抑制できる構造のデバイスを形成可能な半導体デバイス製造方法を提供することを目的としている。更に、第3の目的は、電源電圧5V程度で使用するセルフアライン型のMOSFET等の通常の低耐圧デバイスと、電源電圧5V程度を越える用途で 사용되는オフセットゲート型のMOSFETやスタックゲート構造型のMOSFET、あるいはIGBT等の高耐圧デバイスとを同一の基板に混載形成することができるような半導体デバイスの製造方法を提供することを目的としている。

【0010】

【課題を解決するための手段】本発明は酸素イオンの注入後にアニール処理を行うことにより予め埋め込み酸化膜を形成したSIMOX基板を対象として、この基板を高温酸化処理することにより、埋め込み酸化膜が膜成長する現象、およびSIMOX基板の表面シリコン層上に予め酸化遮蔽マスクを形成し、その後、この基板を上記高温酸化処理すると、埋め込み酸化膜が膜成長しない現象を見出したことによって実現されたものである。SIMOX基板での表面シリコン層の厚さが320nm、埋め込み酸化膜の厚さが89nmを対象とし、この基板を1350℃、不活性ガス中に流量比(以下同じ)で70%O₂の酸素雰囲気中におき、4時間の酸化処理を行ったところ、埋め込み酸化膜は118nmに増膜する現象が見られた。そこで、温度および酸化時間を変え、表面酸化膜厚が約400nmと一定になるように設定し、各酸化温度に対する埋め込み酸化膜の増加量を求めたところ、図6に示すように、酸化温度が上昇するにしたがって、埋め込み酸化膜の膜厚が増加することが確認された。増膜作用は1150℃以上で確認された。同様に、図7は酸化時間を4時間に固定し、O₂濃度を70%に固定した場合である。これらの図において、横軸の酸化温度は絶対温度の逆数の10⁴倍の数値で表されている。なお、各図の上部に摂氏の温度を併記している。これらの図で明かなように、酸化温度の上昇に伴って埋め込み酸化膜増加量も増大する。酸化温度が1100℃以下では埋め込み酸化膜増加量も僅かであり、あるいは酸化時間を実用的な長さたとえば4時間とすると、その増加量は検出レベル以下で、厚膜化の効果がないが、酸化温度が1350℃に上昇すると埋め込み酸化膜増加量は約30nmとなる。従来技術によるシリコン基板の埋め込み酸化膜厚が80～90nmであるのに対し、本発明を適用して1350℃で酸化処理し、表面酸化膜厚を約400nmとした場合は埋め込み酸化膜厚が110～120nmに増加することが確認できる。したがって、増膜効果を得るためには少なくとも1150℃以上の温度条件を必要とし、これはアニール処理温度に匹敵している。また、上限温度はシリコンの融点が1415℃であるため、これより低い温度条件とする必要がある。

(4)

5

【0011】また、酸素雰囲気中の酸素濃度の影響は基本的には高い濃度が増膜作用に寄与すると考えられることから、アニール処理後に1350℃の温度条件で4時間の酸化処理による異なる酸素分圧による埋め込み酸化膜の増膜量を実験的に求めたところ、図8に示すような特性線図が得られた。これによれば、約1%O₂の濃度以上のときに増膜効果が得られることが理解でき、0.5%濃度では増膜分は非常に少なく、また、界面の凹凸との差異が判別できないので、1%O₂濃度以上で増膜効果が得られるものと考えられる。これは、雰囲気中の酸素が、少なくとも表面シリコン層や基板シリコン層から内部に拡散され、埋め込み酸化膜の界面部へSiO₂が滞留積層されるには、基本的に温度条件を主因子として調整することができるので、シリコン層への拡散に最低限の濃度としては上記1%O₂の濃度以上を要するものと考えられる。もちろん所定の高温下で酸素濃度を因子として増膜作用を行わせることができることは図8から理解できる。

【0012】一方、前記SIMOX基板（表面シリコン層の厚さが320nm、埋め込み酸化膜の厚さが89nm）に酸化遮蔽マスクとして100nmのシリコン窒化膜を形成し、この基板を1350℃、70%O₂の酸素雰囲気中におき、4時間の高温処理を行ったところ、埋め込み酸化膜の膜厚増加は認められなかった。

【0013】そこで、本発明に係る半導体デバイスの製造方法は、単結晶シリコン基板に酸素イオンを打ち込み注入した後、不活性ガス雰囲気中で高温熱処理するアニール処理を行うことにより埋め込み酸化膜を形成し、表面層に基板と絶縁分離された単結晶シリコン層を形成したSIMOX基板上に半導体デバイスを形成する製造方法において、前記SIMOX基板の表面シリコン層に形成すべき半導体デバイスの特定領域に対応して予め酸化遮蔽マスクを形成し、この遮蔽マスクを介して当該基板を酸素雰囲気中において1150℃以上で高温酸化処理を行うことにより前記マスク遮蔽領域以外の領域に対応する埋め込み酸化膜を部分的に厚膜成長させた後、埋め込み酸化膜を厚膜化した部分上の表面シリコン層上にソースまたはドレインを形成することによって、上記目的を達成するようにしたものである。

【0014】基板に製造される半導体デバイスがnMOSである場合には、マスクによる遮蔽される特定領域内にドレイン領域、またはドレイン領域とソース領域とし、前記半導体デバイスがpMOSである場合には、マスクによる遮蔽される特定領域以外の領域に対応する表面のシリコン層中にドレインおよびソースの両者を形成すればよい。

【0015】この場合において、前記高温酸化処理温度は上述したように1150℃以上、単結晶シリコン基板の融点温度未満の範囲内に保つようにすればよく、前記高温酸化処理は、アニール時の酸素濃度より高い濃度の

6

酸素ガス雰囲気中で行うようにすればよい。前記高温酸化処理は、1%を超える酸素濃度のガス雰囲気中で行うことにより絶縁埋め込み酸化膜の増膜作用を確実に実現できる。

【0016】また、本発明は、単結晶シリコン基板に酸素イオンを打ち込み注入した後、不活性ガス雰囲気中で高温熱処理するアニール処理を行うことにより埋め込み酸化膜を形成し、表面層に基板と絶縁分離された単結晶シリコン層を形成したSIMOX基板上に半導体デバイスを形成する製造方法において、前記SIMOX基板の表面シリコン層に形成すべき複数の半導体デバイスの低耐圧デバイス形成部に対応して予め酸化遮蔽マスクを形成し、この遮蔽マスクを介して当該基板を酸素雰囲気中において1150℃以上で高温酸化処理を行うことにより前記マスク遮蔽領域以外の領域に対応する埋め込み酸化膜を部分的に厚膜成長させた後、埋め込み酸化膜の厚膜領域の表面シリコン層上に高耐圧デバイスを形成するとともに、その他の薄膜領域に低耐圧デバイスを形成することによって耐電圧強度の異なるデバイスを同一基板に混載形成するように構成したものである。

【0017】高温酸化によって、SIMOX基板の埋め込み酸化膜を酸化遮蔽マスクを介して部分増膜できるため、高耐圧デバイスの形成領域のみを対象にして酸化膜の増膜を施すことにより当該デバイスの絶縁耐圧を増大できる。低耐圧デバイスでは発熱が問題となるため、酸素イオン注入により形成されるSIMOX基板の薄い酸化膜をそのまま利用することで放熱作用を持たせればよい。耐圧強度の違いは使用する電源電圧の大きさによって区別すればよいが、一般的には5Vを基準にして区別すればよい。もちろん、要求される耐圧強度により複数段階に埋め込み酸化膜の厚さを調整することができるので、2種類の耐圧強度に限らず、それ以上に分類される耐圧強度毎に繰返し高温酸化による増膜処理を行うことで、個々のデバイスに必要な埋め込み酸化膜厚に調整することもできる。

【0018】更に上記のように、耐圧の異なるデバイスに応じて埋め込み酸化膜の厚さを高温酸化により調整した後、更に前記低耐圧デバイスの各対応埋め込み酸化膜を当該デバイスの特定領域に対応して予め酸化遮蔽マスクを形成し、この遮蔽マスクを介して当該基板を酸素雰囲気中において1150℃以上で高温酸化処理を行うことにより前記マスク遮蔽領域以外の領域に対応する埋め込み酸化膜を部分的に厚膜成長させた後、埋め込み酸化膜の膜厚の異なる部分上の表面シリコン層上にソースまたはドレインを形成するように構成できる。

【0019】このように構成することにより、デバイス毎に要求される絶縁耐圧を高温酸化によるデバイス毎に各対応埋め込み酸化膜を部分酸化膜の増膜によって調整することに加え、デバイス内でデバイスのソースおよびドレイン毎に各対応埋め込み酸化膜厚の調整を行えば、

(5)

7

耐圧の異なるデバイスを同一基板に混載形成すると同時に、特に低耐圧デバイスで問題となる寄生容量の低減や負性抵抗特性の改善が図られる。

【0020】

【作用】本発明の第1によれば、酸素イオンを注入後アニール処理を行って埋め込み酸化膜を形成したSIMOX基板を対象にして、基板に形成されるデバイスの特定領域を酸化遮蔽するマスクパターンを形成した上、高温酸化処理を施すことにしたので、前記埋め込み酸化膜は特定領域以外の領域毎に局部的に所望の厚さまで厚膜化することができる。その上にソースまたはドレイ領域を作成しMOSFETを形成することにより、従来から問題となっていた大きな寄生容量に基づく動作速度低下や、負性抵抗によるドレイン電流低下の改善が可能となる。

【0021】また、他の本発明構成によれば、SIMOX基板の埋め込み酸化膜上方のシリコンに耐圧強度の異なるデバイスを形成する際、低耐圧デバイス形成部をマスクにより高温酸化から遮蔽するようにマスクパターンを表面シリコン層の表面に形成し、高温酸化することによりデバイス毎に膜厚の異なる埋め込み酸化膜が形成される。この埋め込み酸化膜上に耐圧強度の異なる複数のデバイスを形成することとしたので、シリコン結晶中に転位を生じるような酸素イオン注入を行うことなく、1枚の基板に耐圧強度の異なるデバイスを同一のSIMOX基板に混載形成することができる。

【0022】更に、デバイス毎に埋め込み酸化膜厚さを調整した後、個々のデバイス内での特定領域毎に埋め込み酸化膜厚を調整することによって、寄生容量の問題や負性抵抗の問題が改善された混載形半導体デバイスを製造できるのである。

【0023】

【実施例】以下に、本発明に係る半導体デバイスの製造方法の具体的実施例について、図面を参照して説明する。

【0024】図1は出発基板としてのSIMOX基板にMOSFETを製造する工程を示しており、2種の製造工程例を示している。

【0025】まず、出発基板であるSIMOX基板1は、公知の酸素イオン打込み注入手段を用いて、シリコン基板表面から酸素イオンを注入するのである。この注入条件は加速エネルギーを180keVとし、ドーズ量を $4 \times 10^{17}/\text{cm}^2$ の条件とした。これにより、基板シリコンの表面から深さ約430nmを中心に酸素イオンが正規分布する。これによりイオン注入直後の表面層には SiO_2 の他に結合状態が不安定な Si-O 化合物が混在している。

【0026】次いで、打込み注入した酸素イオンの分布域の境界を急峻にし、表面シリコン層を基板シリコンと絶縁分離するための化学的に安定した SiO_2 からなる

8

埋め込み酸化膜2を形成するため、アニール処理を行う。これは不活性ガスとしてArガスを用い、これに流量比で0.5% O_2 を加えた雰囲気中に基板をおき、1350℃にて4時間の熱処理を行うものである。雰囲気ガスに0.5%の O_2 を添加することにより、基板表面におけるピットの発生を防止することができる。この結果、打込み酸素イオンがシリコンと結合して化学的に安定した絶縁酸化膜が形成され、所定の深さで界面が急峻な埋め込み酸化膜2となる。酸素イオンの加速エネルギーを変えることにより埋め込み酸化膜2が形成される深さを任意に調整できる。

【0027】このようにして形成されたSIMOX基板に対してMOSデバイスを形成するのであるが、インバータとして使用するpMOSを対象とし、図1の実施例ではpMOSの内、埋め込み酸化膜2の膜厚による寄生容量が特に問題となるソースSとドレインDに対応する部分を厚膜化し、ゲートGの直下に位置する埋め込み酸化膜2の部分をSIMOX基板製造時の膜厚に保持するようにしたものである。

【0028】図1の左に示す工程ではまずSIMOX基板1の表面にマスクパターン3を形成する(工程(1))。このマスクパターン3は寄生容量を低減させる特定領域としてソースSおよびドレインDの領域に対応する埋め込み酸化膜2の部分を増膜させるためのもので、これらのS、D以外の表面シリコン層を酸化からマスクングするためのものである。マスクパターン3は通常のパターン形成方法にて1100℃以下で熱酸化膜によって形成すればよい。

【0029】次いで、マスクパターン3を施した基板1を高温酸化することにより前記特定電極S、D部分のみに対応する埋め込み酸化膜2を局部的に厚膜成長させる。これは、前記基板1を70%の O_2 濃度、残余Arガスからなる酸化雰囲気とされた加熱炉の内部におき、1350℃に昇温させた状態で4時間の酸化処理を行う(工程(2))。これにより、前記マスクパターン3で遮蔽された以外の電極S、Dに対応する部分の埋め込み酸化膜2が厚膜化したエリア4を形成する。

【0030】次に、基板表面の酸化膜およびマスクパターン3を除去し(工程(3))、通常の方法でMOSFETを形成した。すなわち、素子間を絶縁するためにLOCOS分離を行った上(工程(4))、前記エリア4にソースおよびドレインを対応させ、活性シリコンに不純物をドーピングしてp形あるいはn形層を形成し、電極を取付けてMOSFETを形成するのである(工程(5))。

【0031】図1の右側に示した工程は素子間分離をなすLOCOS膜部分も含めて厚膜化処理したもので、この場合に特に寄生容量の影響しないゲート電極Gに対応する部分のみをマスク3により遮蔽するようにしたものであり、その他は上記の例と同様である。

(6)

9

【0032】なお、同図工程(3)の基板において、基板表面の凹凸量を低減する必要がある場合には、例えば工程(2)の高温酸化処理後に、マスク3に限って選択的に除去し(例えばマスク材がシリコン窒化膜の場合には、リン酸系溶液で除去)、その後1150℃以下の低温酸化を実施する。この場合、マスク3を除去した領域に対応する表面シリコン層が優先的に酸化されるため、その後の工程(3)で酸化膜除去した基板の表面の凹凸は小さくできる。

【0033】図3に、SOI構造を有するCMOS・LSIの埋め込み酸化膜厚と伝搬遅延時間との相関を示す。同図は、電源電圧2.5V、ゲート酸化膜厚10nm、ゲート長さ2.5μmの場合の曲線である。従来のCMOS・LSIにおける伝搬遅延時間は、埋め込み酸化膜厚を450nmとした場合22psであったが、埋め込み酸化膜厚を90nmとした場合には30psに増大し、性能が低下した。これに対し、図1に示した例によってソースS、ドレインDに対応する埋め込み酸化膜厚を110nmとした本第1実施例によるCMOS・LSIでは、伝搬遅延時間が26psに短縮され、寄生容量による伝播遅延時間を改善することができた。

【0034】図4に、ゲート電圧VGSを3V、2V、1Vにそれぞれ変化させた場合のドレイン電圧とドレイン電流との相関を示す。図中AはMOSデバイスの直下の埋め込み酸化膜厚を一律に $t=110\text{nm}$ とした場合を示し、Bは第1実施例により形成したMOSデバイスであってソース/ドレイン直下の埋め込み酸化膜厚を $t=110\text{nm}$ とし、ゲート直下の埋め込み酸化膜厚 $t=90\text{nm}$ とした場合であり、Cは従来の方法を用いて $t=450\text{nm}$ とした場合である。従来の方法による例Cにおいては、飽和ドレイン電流が約10%低下しているが、本発明による製造方法を用いると、デバイスと基板シリコンとの絶縁酸化膜の平均膜厚を小さくでき、これによって負性抵抗に起因するドレイン電流の低下を抑制している効果を確認できる。

【0035】なお、上記実施例ではpMOSを製造する例を示したが、nMOSを製造する場合には、寄生容量はドレイン電極部分で問題となるため、ドレイン電極部分に対応する埋め込み酸化膜を局部的に厚膜成長させるように対処すればよい。

【0036】次に、上記実施例ではMOSデバイス内でのソースおよびドレインで特に問題となる寄生容量や負性抵抗によるドレイン電流の低下を改善するようにしているが、同一基板に対して耐圧の異なるデバイスを混載形成できるようにした実施例の製造工程例を図2に示す。この例における出発基板1も図1の実施例と同様にシリコン基板に対して酸素イオンを加速電圧180keV、ドーズ量を $4 \times 10^{17}/\text{cm}^2$ の条件として注入した後、Arガス+0.5%O₂を加えた雰囲気中で1350℃にて4時間の熱処理によるアニール処理を行った基

10

板を用いる。

【0037】このような基板を出発基板として、低耐圧デバイス形成領域と高耐圧デバイス形成領域とを区分し、特に絶縁分離膜が厚いことが要求される高耐圧デバイス部分に対応する埋め込み酸化膜2を部分的に増膜処理するように構成したものである。

【0038】まず、図2の左側に示す工程では、上記SIMOX基板1の表面に高耐圧デバイスの形成部を除いて他の表面を酸化から保護する第1のマスクパターン5を形成する(工程(1))。これは通常の熱酸化膜により形成すればよい。

【0039】次いで、マスクパターン5を施した基板1を高温酸化することにより前記高耐圧デバイス形成部分のみに対応する埋め込み酸化膜2を部分厚膜成長させる。これは、前記基板1を70%のO₂濃度、残余Arガスからなる酸化雰囲気とされた加熱炉の内部におき、1350℃に昇温させた状態で4時間の酸化処理を行う(工程(2))。これにより、前記マスクパターン3で遮蔽された以外の高耐圧デバイス形成部分の埋め込み酸化膜2が厚膜化したエリア6を形成する。

【0040】この後は、基板表面のマスクパターン5および表面酸化膜をエッチング除去し(工程(3))、埋め込み酸化膜2の膜厚段差部分にLOCOS膜等による素子間分離を施した後、厚膜成長された埋め込み酸化膜となっている前記エリア6に高耐圧デバイス(たとえばIGBTなど)を形成し、エリア6以外の部分に低耐圧デバイス(たとえばMOS・LOGICなど)を形成するのである。これらのデバイス形成は図示しないが公知の手法を用いて行えばよい。

【0041】図2の右方に示す製造工程は、SIMOX基板1の表面に第1のマスクパターン5を形成した後、所定のO₂濃度雰囲気内で1150℃以上、融点温度未満の温度範囲で数時間加熱する高温酸化を行って、埋め込み酸化膜2を厚膜化したエリア6を形成する。次に、基板表面の酸化膜およびマスクパターン5を除去するまで同じ工程であるが、これに次の工程を付加したものである。すなわち、SIMOX基板1の表面に第2のマスクパターン7を形成した後、1150℃以下の温度で加熱する低温酸化を行い、シリコン層の厚さを所望の厚さに調整し、エリア8を形成する。そして、エリア6に高耐圧デバイスを、エリア8に低耐圧デバイスを形成する。前記エリア6を形成し、基板表面の酸化膜を除去した後、再度所定のO₂濃度雰囲気内で1150℃以上、融点温度未満の温度範囲で数時間加熱し、エリア6の一部を更に厚膜化してもよい。

【0042】従来、高耐圧デバイスを搭載するSIMOX基板の埋め込み酸化膜厚は450nm、低耐圧デバイスを搭載するSIMOX基板の埋め込み酸化膜厚は90nmで、1枚の基板について酸素イオン注入法によるSIMOX基板には上記のどちらか一方しか製作できな

(7)

11

った。しかし、埋め込み酸化膜厚90nmのSIMOX基板をもとに本発明によるMOS・LSIの製造方法を適用することにより、局部的に400nmの埋め込み酸化膜を得ることができ、酸素イオン注入法で形成した1枚の基板に高耐圧、低耐圧のデバイスを混載することが可能となる。

【0043】なお、図示していないが、図2に示した製造方法で耐圧の異なるデバイス形成部毎に埋め込み酸化膜の厚さ調整を行った後、図1に示す工程を経て特に低耐圧デバイスのソースおよびドレイン毎の寄生容量や負性抵抗に起因する問題を同時に改善するように構成できる。これは図2に示す高温酸化によって埋め込み酸化膜の厚み調整をなした基板を出発基板として、更に図1に示す工程処理を行うことで容易に実現できる。

【0044】

【発明の効果】埋め込み酸化膜厚は、インバータの動作速度の面からみると厚膜化することが好ましく、熱抵抗の面すなわちドレイン電流低下の面ならびにMOSFETの短チャンネル効果抑制の面からみると薄膜化することが好ましい。このように互いに相反する条件をそれぞれ満足させるMOS半導体デバイスの製造方法として、本発明では、SIMOX基板のデバイスのソースおよびドレイン毎にマスクパターンを形成して高温酸化処理を施し、埋め込み酸化膜を局部的に厚膜化し、その上にMOSデバイスを形成することとした。これにより、従来から問題となっていた寄生容量に起因する動作速度低下や、負性抵抗によるドレイン電流低下の改善が可能となる。また、他の発明構成では、SIMOX基板にマスクパターンに対応して耐圧強度の異なるデバイス毎に異なる絶縁耐圧を与える酸化膜を形成することとしたので、

12

1枚の同一基板に高低の耐圧の異なる複数のデバイスを混載することができ、デバイスの小型化ならびにデバイスコストの大幅低減が可能となる。

【図面の簡単な説明】

【図1】本発明の実施例の製造工程を示すもので、デバイスのソースおよびドレイン毎に埋め込み酸化膜の膜厚を調整してデバイス製造をなす製造工程図である。

【図2】本発明の他の実施例を示すもので、耐圧強度の異なるデバイス毎に埋め込み酸化膜の膜厚を調整してデバイス製造をなす製造工程図である。

【図3】CMOS・LSIにおいて、埋め込み酸化膜厚と伝搬遅延時間との相関を示す図である。

【図4】MOS・LSIにおいて、ドレイン電圧とドレイン電流との相関を示す図である。

【図5】MOSFETの断面模式図である。

【図6】高温酸化工程において、表面のシリコン単結晶層を約180nm酸化した場合の酸化温度と埋め込み酸化膜増加量との相関を示す図である。

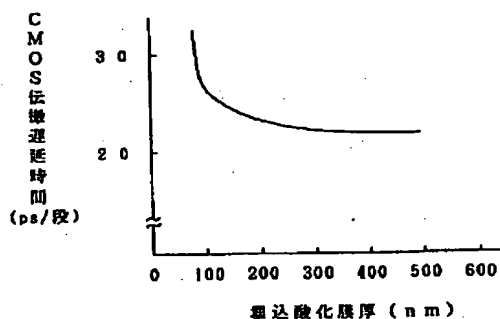
【図7】高温酸化工程において、酸化時間を4時間に固定し、O₂濃度を70%とした場合の酸化温度と埋め込み酸化膜増加量との相関を示す図である。

【図8】高温酸化工程における酸素分圧に対する埋め込み酸化膜増加量との相関を示す図である。

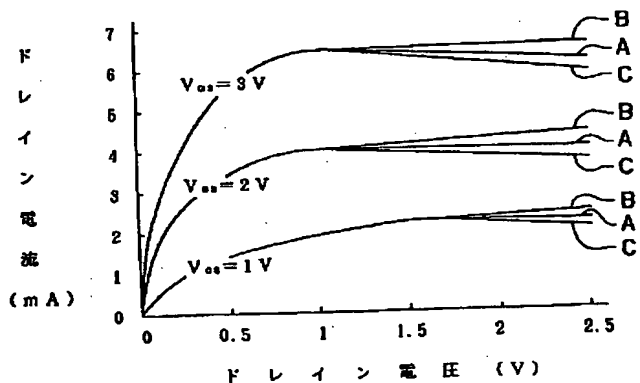
【符号の説明】

- 1 SIMOX基板
- 2 埋め込み酸化膜
- 3, 5, 7 マスクパターン
- 4, 6, 8 エリア
- 9 LOCOA (素子間分離) 酸化膜
- 10 基板シリコン

【図3】

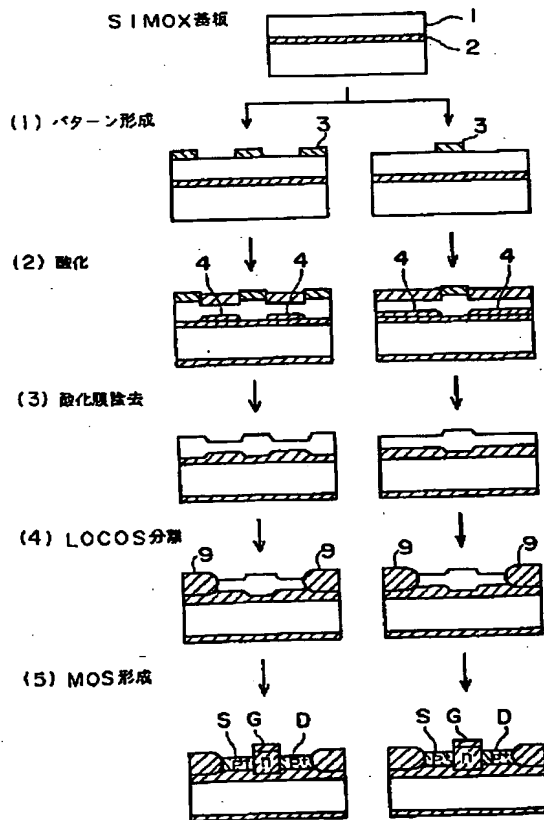


【図4】

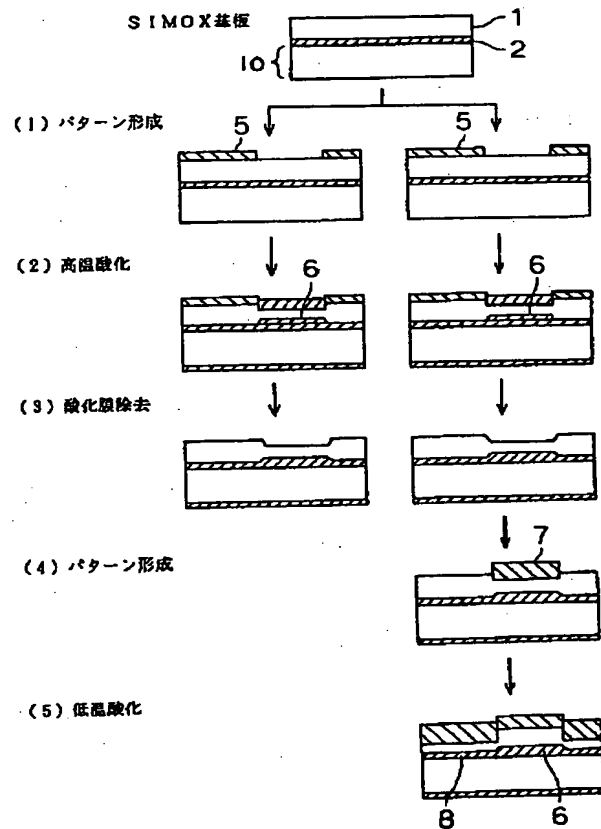


(8)

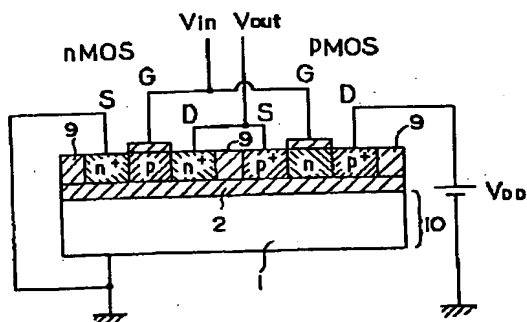
【図1】



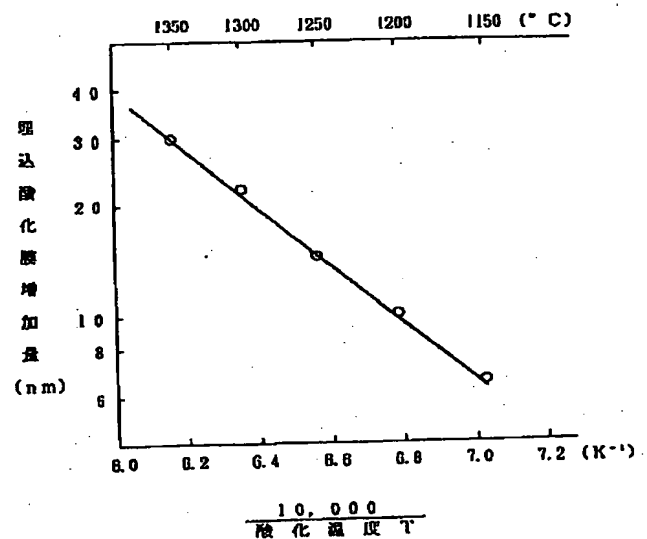
【図2】



【図5】

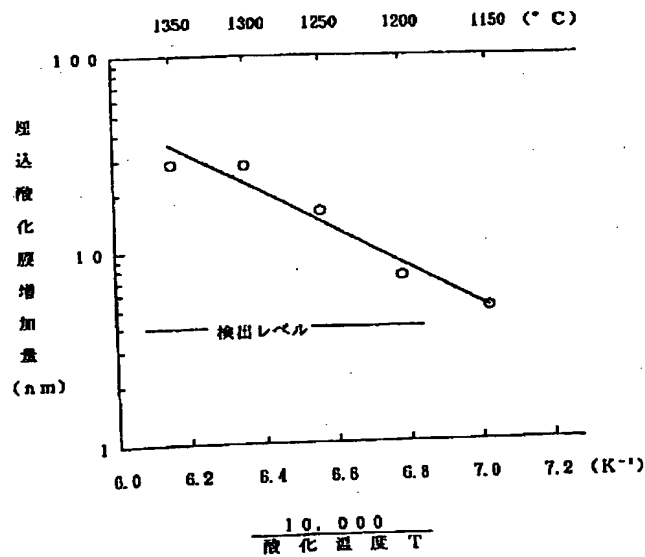


【図6】

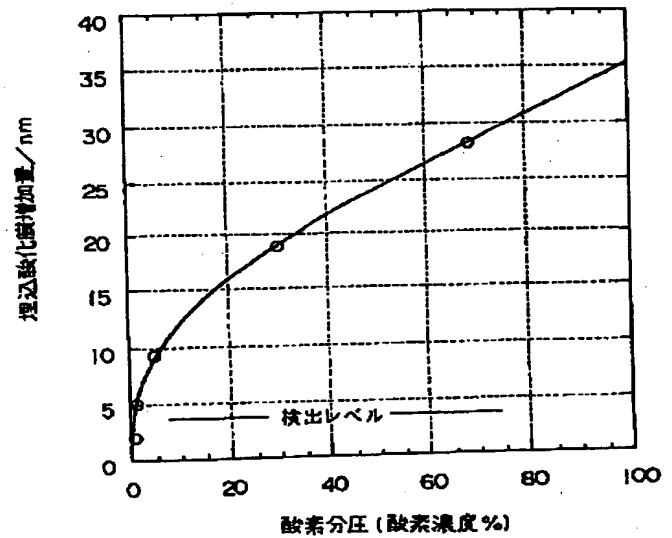


(9)

【図7】



【図8】



アニール後 1350℃、4時間酸化処理による
各酸素分圧における埋込酸化膜増加量
(アニール: 1350℃、0.5%4時間)

フロントページの続き

- (72)発明者 中嶋 定夫
東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内
- (72)発明者 泉 勝俊
東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内

- (72)発明者 大和田 允彦
東京都武蔵野市吉祥寺本町1-14-5 エ
ヌティティ エレクトロニクス テクノロ
ジー株式会社内
- (72)発明者 片山 達彦
神奈川県平塚市四之宮2612 コマツ電子金
属株式会社内